

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-046257

(43)Date of publication of application : 14.02.1995

(51)Int.Cl.

H04L 12/28
H04L 7/00
H04L 12/56
H04Q 3/00

(21)Application number : 06-110193

(71)Applicant : AT & T CORP

(22)Date of filing : 27.04.1994

(72)Inventor : LIEN ROBERT L

(30)Priority

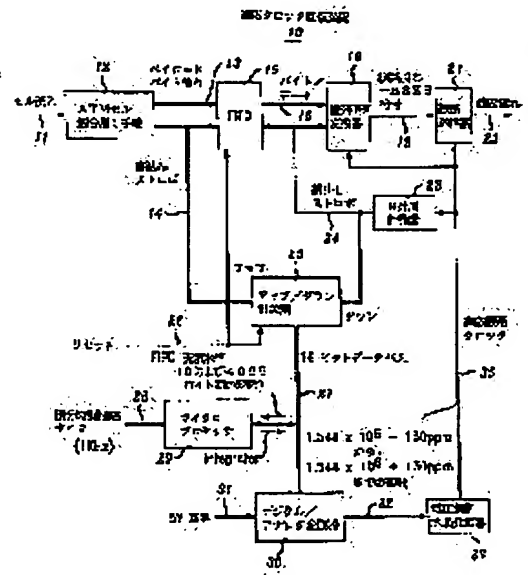
Priority number : 93 54332 Priority date : 28.04.1993 Priority country : US

(54) METHOD AND APPARATUS FOR ADAPTIVE CLOCK RECOVERY

(57)Abstract:

PURPOSE: To provide an adaptive clock restoration apparatus which obtains a synchronizing clock from an asynchronous packet flow such as an asynchronous transfer mode(ATM) cell flow.

CONSTITUTION: The deviation in size of information stored in a first-in first-out memory 15 is continuously monitored, and a synchronizing clock frequency (called the frequency of an adaptive line clock 35) is controlled by a processor 29 and is adjusted in plural modes. The adjustment is performed, in response to the detected increasing state of the monitored deviation. The adjustment is open loop adjustment, which is performed without continuously adjusting the adaptive line frequency based on the monitored deviation. Since the open loop adjustment is quick frequency correction, accompanied with complete or approximately complete dead-beat damping (that is, a frequency is not continuously oscillated after arrival at a correct frequency in a closed-loop device), damping is practically reduced, in comparison to a 'normal type' phase-locked loop device.



LEGAL STATUS

[Date of request for examination] 25.02.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2981114

[Date of registration] 17.09.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

NEXT AVAILABLE COPY

3. X4197 $\frac{1}{2}$ h 10.7
1/CX000PLT 0.172

(43)公開日 平成7年(1995)2月14日

(51) Int. CL ¹	識別記号	片内整理番号	P I	技術表示箇所
H 0 4 L 12/28				
7/00	A	7741-5K		
12/56				
		8732-5K	H 0 4 L 11/ 20	E
		9077-5K		1 0 2 Z
		審査請求 未請求 請求項の数28	FD (全 24 頁)	最終頁に続く

(21) 出版番号 特願平6-110193

(22) 出願日 平成6年(1994)4月27日

(31) 優先權主張番号 054332

(32) 優先日 1993年4月28日

(33) 優先權主張国 米国 (US)

(71) 出願人 390035:193

エイ・ティ・アンド・ティ・コーポレーション

AT&T CORP.

アメリカ合衆国 10013-2412 ニューヨ
ーク ニューヨーク アヴェニュー オブ
ジ アメリカズ 32

(72)発明者 ロバート レロイ リーアン

アメリカ合衆国、60510 イリノイ、バタ
ビア、スカイライン ドライブ 0エス-
520

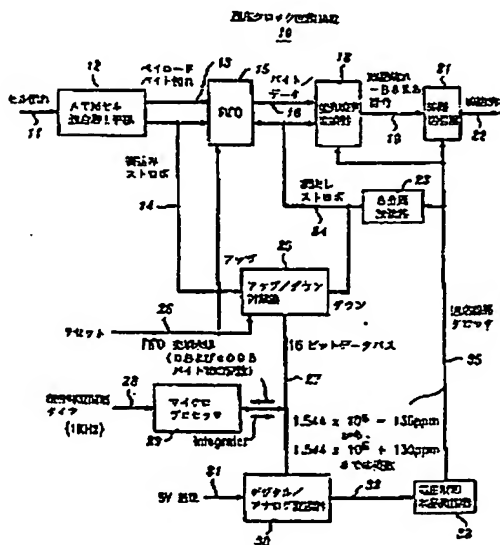
(74) 代理人 弁理士 三俣 弘文

(54) 【発明の名称】 適応クロック回復方法および装置

(57)【要約】

【目的】 非同期転送モード(ATM)セル流れのような非同期パケット流れから同期クロックを得る適応クロック回復装置を提供する。

【構成】 先入れ先出しメモリ内に蓄積された情報の大きさの偏差は、持続的に監視され、（適応回路クロック、周波数といわれる）同期クロック周波数は、プロセッサの制御を受けて、複数のモードで調整される。調整は、監視された偏差の検出された増加状態に responding to 行われる。調整は、監視された偏差に基づき適応回路周波数を持続的に調整することなく、行われる開ループ調整である。制御は、開ループ調整が完全な、もしくは、ほぼ完全な減速制御を伴う急速周波数補正となる（すなわち、閉ループ装置において、正しい周波数に達した後で、持続する周波数変動がない）ので、「通常型」位相同期ループ装置に比べて、実質的に軽減される。



(2)

特開平7-46257

1

【特許請求の範囲】

【請求項1】 非同期パケット化情報を受信する手段と、

前記受信情報を整順する手段と、

適応線路クロック周波数に定着して、前記整順情報を同期回路上で伝送する手段とからなる装置において、

a. 前記整順手段内に整順された情報の大きさの、公称値からの偏差を持続的に監視するステップと、

b. 監視された前記偏差の増大状態を検出するステップと、

c. 検出された前記増大状態に定着して、前記適応線路クロック周波数を複数のモードで調整するステップとからなることを特徴とする適応クロック回復方法。

【請求項2】 前記(c)ステップは、

前記複数のモードのうち第1モードにおいて、監視された前記偏差が減少し始めた後まで、前記適応線路クロック周波数を過度補正するステップを含むことを特徴とする請求項1記載の方法。

【請求項3】 前記過度補正ステップは、監視された前記偏差に基づいて前記適応線路クロック周波数を持続的に調整することなく、前記適応線路クロック周波数の傾斜を実行するステップを含むことを特徴とする請求項2記載の方法。

【請求項4】 前記(c)ステップは、さらに、前記複数のモードのうち第2モードにおいて、かつ、前記過度補正ステップ後、監視された前記偏差が所定しきい値まで減少するまで、前記適応線路クロック周波数を一定に保持するステップを含むことを特徴とする請求項2記載の方法。

【請求項5】 前記保持ステップは、監視された前記偏差に基づいて前記適応線路クロック周波数を持続的に調整することなく、前記適応線路クロック周波数を一定に保持するステップを含むことを特徴とする請求項4記載の方法。

【請求項6】 前記方法は、さらに、見掛け発信元周波数を持続的に決定するステップを含み、前記(c)ステップは、

前記複数のモードのうち第3モードにおいて、前記適応線路クロック周波数が前記見掛け発信元周波数と等しくなるまで、前記適応線路クロック周波数を変更するステップを含むことを特徴とする請求項4記載の方法。

【請求項7】 前記(d)ステップは、監視された前記偏差に基づいて前記適応線路クロック周波数を持続的に調整することなく、前記適応線路クロック周波数の傾斜を実行するステップを含むことを特徴とする請求項6記載の方法。

【請求項8】 前記方法は、さらに、データジッタをろ波するため、監視された前記偏差を低分するステップを含むことを特徴とする請求項1記載の方法。

【請求項9】 前記(a)ステップ、前記(b)ステッ

2

プおよび前記(c)ステップは、急変を実行するステップを含まないことを特徴とする請求項1記載の方法。

【請求項10】 非同期パケット化情報を受信する手段と、

前記受信情報を整順する手段と、

適応線路クロック周波数に定着して、前記整順情報を同期回路上で伝送する手段とからなる装置において、

a. 前記整順手段内に整順された情報の大きさの、公称値からの偏差を持続的に監視するステップと、

b. 監視された前記偏差の増大状態を検出するステップと、

c. 検出された前記増大状態に定着して、監視された前記偏差に基づいて前記適応線路クロック周波数を持続的に調整することなく、前記適応線路クロック周波数を複数のモードで調整するステップとからなることを特徴とする適応クロック回復方法。

【請求項11】 非同期パケット化情報を受信する手段と、

前記受信情報を整順する手段と、

適応線路クロック周波数に定着して、前記整順情報を同期回路上で伝送する手段とからなる装置において、

前記整順手段内に整順された情報の大きさの、公称値からの偏差を持続的に監視するステップと、

見掛け発信元周波数を持続的に決定するステップと、

監視された前記偏差の増大状態を検出するステップと、

検出された前記増大状態に定着して、一部、持続的に決定された前記見掛け発信元周波数に基づいて前記適応線路クロック周波数を複数のモードで調整するステップとからなることを特徴とする適応クロック回復方法。

【請求項12】 前記持続的決定ステップは、監視された前記偏差と前記適応線路クロック周波数とに基づいて、前記見掛け発信元周波数を持続的に決定するステップを含むことを特徴とする請求項11記載の方法。

【請求項13】 非同期パケット化情報を受信する手段と、

前記受信情報を整順する手段と、

適応線路クロック周波数に定着して、前記整順情報を同期回路上で伝送する手段とからなる装置において、

前記整順手段内に整順された情報の大きさの、公称値からの偏差を持続的に監視するステップと、

前記適応線路クロック周波数を調整するのに使用するため、監視された前記偏差と前記適応線路クロック周波数とに基づいて、見掛け発信元周波数を持続的に決定するステップとからなることを特徴とする適応クロック回復方法。

【請求項14】 非同期パケット化情報を受信する手段と、

前記受信情報を整順する手段と、

適応線路クロック周波数に定着して、前記整順情報を同

(3)

特開平7-46257

3

4

同期回路上で伝送する手段とからなる装置において、前記審議手段内に蓄積された情報の大きさの、公称値からの偏差を継続的に監視するステップと、監視された前記偏差の増大状態を検出するステップと、検出された前記増大状態に反応して、前記適応回路クロック周波数の開ループ調整を実行するステップとからなることを特徴とする適応クロック回復方法。

【請求項15】 前記実行ステップは、監視された前記偏差が増加し始める後まで、前記適応回路クロック周波数を過度補正するステップを含むことを特徴とする請求項14記載の方法。

【請求項16】 前記実行ステップは、さらに、監視された前記偏差が所定しきい値まで減少するまで、前記適応回路クロック周波数を一定に保持するステップを含むことを特徴とする請求項15記載の方法。

【請求項17】 前記方法は、さらに、見掛け発信元周波数を継続的に決定するステップを含み、前記実行ステップは、さらに、前記適応回路クロック周波数が前記見掛け発信元周波数と等しくなるまで、前記適応回路クロック周波数を変更するステップを含むことを特徴とする請求項16記載の方法。

【請求項18】 前記方法は、さらに、前記変更ステップ後、前記適応回路クロック周波数の開ループ補正を実行するステップを含むことを特徴とする請求項17記載の方法。

【請求項19】 非同期バケット化情報を受信する手段と、

前記受信情報を蓄積する手段と、

適応回路クロック周波数に反応して、前記蓄積情報を同期回路上で伝送する手段と、

(1) 前記蓄積手段内に蓄積された情報の大きさの、公称値からの偏差を継続的に監視し、(2) 監視された前記偏差の増大状態を検出し、(3) 検出された前記増大状態に反応して、前記適応回路クロック周波数を複数のモードで調整するプロセッサ手段とからなることを特徴とする適応クロック回復装置。

【請求項20】 非同期バケット化情報を受信する手段と、

前記受信情報を蓄積する手段と、

適応回路クロック周波数に反応して、前記蓄積情報を同期回路上で伝送する手段と、

(a) 前記蓄積手段内に蓄積された情報の大きさの、公称値からの偏差を継続的に監視し、(b) 監視された前記偏差の増大状態を検出し、(c) 監視された前記偏差に反応して前記適応回路クロック周波数を継続的に調整することなく、検出された前記増大状態に反応して、前記適応回路クロック周波数を調整するプロセッサ手段とからなることを特徴とする適応クロック回復装置。

【請求項21】 非同期バケット化情報を受信する手段

と、

前記受信情報を蓄積する手段と、

適応回路クロック周波数に反応して、前記蓄積情報を同期回路上で伝送する手段と、

(a) 前記蓄積手段内に蓄積された情報の大きさの、公称値からの偏差を継続的に監視し、(b) 見掛け発信元周波数を継続的に決定し、(c) 監視された前記偏差の増大状態を検出し、(d) 検出された前記増大状態に反応して、一部、継続的に決定された前記見掛け発信元周波数に基づいて前記適応回路クロック周波数を調整するプロセッサ手段とからなることを特徴とする適応クロック回復装置。

【請求項22】 非同期バケット化情報を受信する手段と、

前記受信情報を蓄積する手段と、

適応回路クロック周波数に反応して、前記蓄積情報を同期回路上で伝送する手段と、

(a) 前記蓄積手段内に蓄積された情報の大きさの、公称値からの偏差を継続的に監視し、(b) 前記適応回路クロック周波数を調整するのに使用するため、監視された前記偏差と前記適応回路クロック周波数とに基づいて、見掛け発信元周波数を継続的に決定するプロセッサ手段とからなることを特徴とする適応クロック回復装置。

【請求項23】 非同期バケット化情報を受信する手段と、

前記受信情報を蓄積する手段と、

適応回路クロック周波数に反応して、前記蓄積情報を同期回路上で伝送する手段と、

(a) 前記蓄積手段内に蓄積された情報の大きさの、公称値からの偏差を継続的に監視し、(b) 監視された前記偏差の増大状態を検出し、(c) 検出された前記増大状態に反応して、前記適応回路クロック周波数の開ループ調整を実行するプロセッサ手段とからなることを特徴とする適応クロック回復装置。

【請求項24】 非同期転送モードセル流れと同期回路線路流れとのインタフェースにおいて、

前記非同期転送モードセル流れを受信する手段と、

ペイロード情報を得るため前記受信非同期転送モードセル流れからヘッダ情報を抽出する手段と、

前記ペイロード情報を蓄積する手段と、

適応回路クロック周波数に反応して、前記同期回路線路流れ上で前記蓄積ペイロード情報を連続的に伝送する手段と、

(a) 前記蓄積手段内に蓄積された情報の大きさの、公称値からの偏差を継続的に監視し、(b) 監視された前記偏差の増大状態を検出し、(c) 監視された前記偏差に反応して前記適応回路クロック周波数を継続的に調整することなく、検出された前記増大状態に反応して、前記適応回路クロック周波数を調整するプロセッサ手段と

(4)

特開平7-46257

5

からなることを特徴とするインタフェース。

【請求項25】 非同期転送モードセル流れと同期回路線路流れとのインタフェースにおいて、

前記非同期転送モードセル流れを受信する手段と、

ペイロード情報を得るため前記受信非同期転送モードセル流れからヘッダ情報を抽出する手段と、

前記ペイロード情報を蓄積する手段と、

適応線路クロック周波数にตอบสนองして、前記同期回路線路流れ上で前記蓄積ペイロード情報を連続的に伝送する手段と、

(a) 前記蓄積手段内に蓄積された情報の大きさの、公称値からの偏差を継続的に監視し、(b) 監視された前記偏差の増大状態を検出し、(c) 監視された前記偏差にตอบสนองして前記適応線路クロック周波数を継続的に調整することなく、検出された前記増大状態にตอบสนองして、前記適応線路クロック周波数を調整するプロセッサ手段とからなることを特徴とするインタフェース。

【請求項26】 非同期転送モードセル流れと同期回路線路流れとのインタフェースにおいて、

前記非同期転送モードセル流れを受信する手段と、

ペイロード情報を得るため前記受信非同期転送モードセル流れからヘッダ情報を抽出する手段と、

前記ペイロード情報を蓄積する手段と、

適応線路クロック周波数にตอบสนองして、前記同期回路線路流れ上で前記蓄積ペイロード情報を連続的に伝送する手段と、

(a) 前記蓄積手段内に蓄積された情報の大きさの、公称値からの偏差を継続的に監視し、(b) 見掛け発信元周波数を継続的に決定し、(c) 監視された前記偏差の増大状態を検出し、(d) 検出された前記増大状態にตอบสนองして、一部、継続的に決定された前記見掛け発信元周波数に基づいて前記適応線路クロック周波数を調整するプロセッサ手段とからなることを特徴とするインタフェース。

【請求項27】 非同期転送モードセル流れと同期回路線路流れとのインタフェースにおいて、

前記非同期転送モードセル流れを受信する手段と、

ペイロード情報を得るため前記受信非同期転送モードセル流れからヘッダ情報を抽出する手段と、

前記ペイロード情報を蓄積する手段と、

適応線路クロック周波数にตอบสนองして、前記同期回路線路流れ上で前記蓄積ペイロード情報を連続的に伝送する手段と、(a) 前記蓄積手段内に蓄積された情報の大きさの、公称値からの偏差

を継続的に監視し、(b) 前記適応線路クロック周波数を調整するのに使用するため、監視された前記偏差と前記適応線路クロック周波数とに基づいて、見掛け発信元周波数を継続的に決定するプロセッサ手段とからなることを特徴とするインタフェース。

【請求項28】 非同期転送モードセル流れと同期回路

5

線路流れとのインタフェースにおいて、

前記非同期転送モードセル流れを受信する手段と、

ペイロード情報を得るため前記受信非同期転送モードセル流れからヘッダ情報を抽出する手段と、

前記ペイロード情報を蓄積する手段と、

適応線路クロック周波数にตอบสนองして、前記同期回路線路流れ上を、前記蓄積ペイロード情報を連続的に伝送する手段と、

(a) 前記蓄積手段内に蓄積された情報の大きさの、公称値からの偏差を継続的に監視し、(b) 監視された前記偏差の増大状態を検出し、(c) 検出された前記増大状態にตอบสนองして、前記適応線路クロック周波数の開ループ調整を実行するプロセッサ手段とからなることを特徴とするインタフェース。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、通信システムに関する。

【0002】

20 【従来の技術】最近、同期伝送が使用される代りに、デジタルデータ流れが短パケット（すなわち、セル）として符号化される場合、数多くの電話通信システム、画像通信システムおよびデータ通信システムが開発されている。このパケット基進伝送交換技術の発展しつつある世界標準は、非同期転送モード（ATM）と呼ばれている。図は、非同期転送モード伝送になりつつあるが、現代同期交換伝送システムとエンドポイント端末機器にはインタフェースが必要である。音声画像チャネルは、相変わらず一定のビット速度と同期インタフェースを必要とする。

30 【0003】非同期転送モードまたは他のパケット基進伝送から一定ビット速度同期システムへの変換過程は、基本的に、2つのステップを必要とする。第1ステップは、（同期ビット流れを繰返す）セルペイロードデータを抽出することであり、このセルペイロードデータを先入れ先出し（FIFO）メモリ内に蓄積する。先入れ先出しメモリは、間欠的なセル君信を平滑にする弾性記憶装置として作用する。第2ステップは、平均データ君信ビット速度に基づいて、クロックを回復して（すなわち、得て）、得られたクロックを使用することにより、先入れ先出しメモリからデータを刻時読出し、伝送のため伝送インタフェース回路に刻時入力することである。適応クロッキングは、君信しつつあるセル/パケット流れのデータ転送速度から高精度のクロック速度を得る過程の名称である。

40 【0004】非同期転送モードセル流れは、しばしば、セル君信速度の（幾つかの非同期転送モードシステムについて約1ミリ秒である）短時間変動を伴って、間欠的である。得られた（適合した）クロック速度は、数秒で数ppmという良型的水準に安定する必要がある。長期

(5)

特開平7-46257

7

においては、発信元速度に正確に従従する必要がある。
 【0005】要求は、種々のシステム間で、および、種々の用途間で広範に変化する。ある期間に亘って、受信しつつある非同期転送モードセルの数を積分することは、平均クロック速度を決定する基本技術である。長い積分時間は、少ジッタで狭帯域ブロック出力を生じるのに使用できる。しかし、比較的長い積分時間は、「通常型」位相同期ループ(PLL)(例えば、明細書中に記載された装置210(図10参照)が前記用途に適用されたときは、多くの安定性問題を引起す。積分時間は、直接、位相同期ループ制御ループ内の(閉ループ制御システムを不安定にする傾向がある)遅延遅延に関係する。また、適応クロックのスリューレートは、制限される必要がある。これは、より長い帰還遅延の原因となる。

【0006】制動係数は、遅い応答と不安定な動作との原因となるほど大きくなる。「通常型」位相同期ループというループでの、制動を制御する位相追従回路または多極回路の使用は、ジッタが大きすぎるため、セル流れが、短い時間間隔に亘って、必要位相追従情報を得ることができないので、実用的でない。これを記述する他の方法は、入力位相もしくは周波数情報の信号対雑音比が「通常型」位相同期ループに2極フィルタを使用することを容易としないということである。(極端な)狭帯域位相同期ループでの多極の使用がなければ、制動係数は、前記用途における安定した動作を与えるため、有効に調整することができない。十分な利得と諸狭帯域特性とを有する「通常型」位相同期ループは、発振することが判明した。

【0007】

【発明が解決しようとする課題】前記応答制動問題を解決するほかに、適応クロック回復回路は、(1)間欠的非同期転送モード入力流れから少ジッタ(狭帯域)クロックを獲得するべきであり、(2)良好な、または、ほとんど理想的な制動安定性を有するべきであり、(3)ジッタの必要な積分によってのみ限定される迅速な応答を有するべきであり、(4)クロック追跡とワンダ規格とを満足するのに十分な利得(先入れ先出しメモリ水準制御)を有するべきであり、(5)クロックスリューレートを制御するべきであったのであり、(6)高幅度のジッタビルドアウト遅延(弾性先入れ先出し記憶装置待ち行列水準)を維持すべきであり、(7)引き数により調整可能であり、適用と要求との範囲に対して適当であるべきである。

【0008】以上の点に鑑み、「通常型」位相同期ループ装置の場合のように、回復された同期クロック周波数の閉ループ調整に依存することなく非同期パケット流れから同期クロックを回復する改良型装置に対する必要が当技術分野に存在する。

【0009】

8

【課題を解決するための手段】前記必要は、本発明の実施例によって満たされ、技術的進歩は、本発明の実施例によって達成される。この実施例においては、先入れ先出しメモリ(例えば、先入れ先出しメモリ15(図1参照))に蓄積された情報の大きさの偏差が常時監視され、(明細書中、適応回路クロック周波数という)同期クロックがプロセッサ(例えば、マイクロプロセッサ29(図1参照))の制御を受けて調整される(複数のモードでなされるのが有利である)。調整は、監視された偏差の検出された増大状態にตอบสนองして行われる。調整は、監視された偏差に基づく適応回路クロック周波数を持続的に調整することなく、なされる開ループ調整である。開ループ調整は、完全な、または、完全に近い減速制動を伴う(すなわち、閉ループ装置において正しい周波数に達した後、続く周波数発振がない)急速な周波数補正となるので、制動は、「通常型」位相同期ループ装置に比べて、実質的に増大する。

【0010】本発明の方法は、非同期パケット情報の受信器と、メモリ(例えば、受信パケット情報を蓄積する先入れ先出しメモリ)と、適応回路クロック周波数にตอบสนองして、蓄積された情報を同期回路上に伝送する発信器とからなる装置に使用される。本発明の方法は、メモリ内に蓄積された情報の大きさの、公称値からの偏差を持続的に監視することを含む。監視された偏差の増大状態が検出されたとき、装置は、複数のモードで適応回路クロック周波数を調整する。

【0011】一例によれば、第1モード(ramp_mode1)において、適応回路クロック周波数は、監視された偏差が減少し始めた後まで、過度補正される。第2モード(ramp_mode2または4)において、適応回路クロック周波数は、監視された偏差が所定しきい値まで減少するまで、一定に保持される。一例として示された方法は、持続的に見掛けの発信元周波数を決定することを含む。第3モード(ramp_mode3または5)において、適応回路クロック周波数は、見掛けの発信元周波数と等しくなるまで、変更される。見掛けの発信元周波数は、監視された偏差と適応回路クロック周波数とに基づいて決定される。ramp_mode1~5で行われた調整は、開ループ調整であるすなわち、調整は、監視された偏差に基づいて、適応回路クロック周波数を持続的に調整することなく、行われる。監視された偏差は、積分されることにより、データジッタをろ波する。処理時間を最小にするため、乗算は、アルゴリズムに使用されない。大多数の除法は、左シフト動作となるようにコンパイルされた2個の除数のべき指数を有する。

【0012】

【実施例】図1は、回路11上の15.5Mbps非同期転送モード(ATM)セル流れから回路22上の同期DS1で1.544Mbpsの一定ビット転送速度へのインタフェースで使用される適応クロック回復装置10の一例を示

9

す回路図である。

【0013】他の同期速度として、 $DS3 = 44.736 \text{ Mbps}$ 、CEPT（ヨーロッパ郵電主管庁会議） $1 = 2.048 \text{ Mbps}$ およびCEPT3 = 34.368 Mbps が存在する。

【0014】図1に示されるように、適応クロック回復装置10は、非同期転送モードセル流れから同期回路へ情報を伝送するのに使用されるハードウェアを含む。他の方向（同期回路から非同期転送モードセル流れ）へ情報を伝送するのに必要なハードウェアは、本説明において重要でないため、図1には示されていない。線路11上の受信セル流れの間欠的非同期的特徴のため、線路22上を同期的に情報を伝送するのに必要なクロックは、線路11上のセル流れ内のエッジ情報または遷移情報を使用することによって、得ることができない。むしろ、前記クロックは、線路11上の長期平均セル速度に基づく。

【0015】線路11上の各非同期転送モードセルは、5バイトのヘッダ、1バイトの適応（アダプテーション）層および使用可能な情報の47バイトのペイロードを含む53バイトのパケットである。各非同期転送モードセルは、 155 Mbps で53バイトのバーストを表現し、セルは、非同期的に受信し、代表的な場合、比較的長い開時間間隔（例えば、8〜243マイクロ秒）によって分割される。

【0016】回路12は、（5バイトのセルヘッダと1バイトの適応層の除去を含む）国際電信電話諮問委員会（CCITT）適応層処理を行い、線路14上の音込みストロープを使用して、バイトバス13を介して47バイトのペイロードを先入れ先出し（FIFO）メモリ15内に音込むのを制御する。先入れ先出しメモリ15（例えば、インテグレートッド デバイス テクノロジー72241）は、最大4096個の8ビットバイト（線路22上を伝送されるのを待って蓄積する全てのバイトを蓄積するのに十分であるより多い）を蓄積する。先入れ先出しメモリ15は、（いずれの瞬間においても、先入れ先出しメモリ15内に蓄積されたバイトの数を数える）アップ/ダウン計数器25（例えば、フェアチャイルドF579）と共同して動作する。バイトが回路12から先入れ先出しメモリ15内へ音込まれる毎に、線路14上の音込みストロープは、計数器25を1つつ増加させる。バイトが先入れ先出しメモリ15から読出される毎に、線路24上の音込みストロープは、計数器25を1つつ減少させる。

【0017】（明細書で記載されたようにして得られた）線路35上の適応線路クロックは、先入れ先出しメモリ15から線路22上のDS1同期回路へのバイトの伝送を制御するのに使用される。本実施例によれば、線路35上のクロック周波数は、 $1.544 \text{ Mbps} - 130 \text{ ppm}$ から $1.544 \text{ Mbps} + 130 \text{ ppm}$ へ変動する。この変

(5)

特開平7-46257

10

動は、同期DS1回路にとって許容できる。この、線路35上の適応線路クロック周波数は、並列直列変換器18（例えば、フェアチャイルドF323）と線路送信器21とを動作させるのに使用される。線路クロック周波数は、計数器23（例えば、フェアチャイルドF161A）によって1/8に分割され、得られた線路24上のバイトクロックは、バイトバス16、並列直列変換器18、および、線路22上のDS1回路としての線路送信器21による送信線路19を介して、先入れ先出しメモリ15からのペイロード情報のバイトの読出しを行うのに読出しストロープとして使用される。線路送信器21は、8個以上の連続した0ビットが線路22上を伝送されるのを防止するため、B82S符号を線路流れ内に挿入する。上述の通り、線路24上の読出しストロープも、計数器25を減少させるのに使用される。

【0018】マイクロプロセッサ29（例えば、モトローラ68070）は、線路35上の適応線路クロックの偏差に関して、適応クロック回復装置の重要な要素である。マイクロプロセッサ29は、線路28上で受信された1kセの積分期間のタイムに反応して、ミリ秒毎に1回、プログラム（図4〜図6に示された流れ図参照）を実行する。プログラムは、実行するのに約250マイクロ秒を要する。

【0019】プログラム入力は、計数器25から16ビットデータバス27を介して読出された先入れ先出しメモリ充填水準である。先入れ先出しメモリ充填水準は、先入れ先出しメモリ15内に蓄積されたバイトの表現する、0と4095との間の12ビットの数である。プログラム出力は、バス27を介して（線路31を介して5V基準電圧に接続された）D/A変換器30（例えば、アナログ デバイシズ8412）へ伝送される変数「integrator」である。

【0020】D/A変換器30は、線路32を介して、制御入力信号を電圧制御水晶発振器（VCXD）33（例えば、AT&T S-タイプ）に供給する。万一、D/A変換器30が電圧制御水晶発振器33への制御入力として、線路32上に5ボルトを生じることになる時は、電圧制御水晶発振器33は、 $1.544 \text{ Mbps} + 200 \text{ ppm}$ の周波数を有する線路35上に適応線路クロックを伝送することになる。D/A変換器30が線路32上に2.5ボルトを生じるときは、電圧制御水晶発振器33は、 1.544 Mbps の周波数を伝送する。D/A変換器30が万一線路32上に0ボルトを生じることになるときは、電圧制御水晶発振器33は、 $1.544 \text{ Mbps} - 200 \text{ ppm}$ の周波数を伝送することになる。

【0021】本実施例によれば、線路32上の制御入力信号は、0ボルトと5ボルトとの間で変動することがない。むしろ、線路32上の制御入力信号は、線路35上の適応線路クロック周波数が $1.544 \text{ Mbps} - 130 \text{ ppm}$ と $1.544 \text{ Mbps} + 130 \text{ ppm}$ との間で制御されるよう

11

に、変動する。

【0022】 図32は、図32上の小ステップ関数の効果を取除くためのエイリアスフィルタ（図1に図示せず）を含む。エイリアスフィルタは、図35上のクロックを高速で変動させる必要がないので、比較的大きいRC時定数（例えば、 $R=2.2k$ および $C=33\mu F$ ）を有する。

【0023】 一般的に、ジッタは、基準タイミング位置からの（特に、高速でデータ伝送誤りを生じうる）信号変動によって引起される一タイプのアナログ通信回路ひずみである。この変動は、振幅、時間、周波数または位相について存在しうる。用途によれば、ジッタは、さらに具体的には、期待（周期的）セル受信時と実セル受信時との間の差と関係する。適応クロック回復装置10は、DS3速度で0.3ミリ秒のからDS1速度で3ミリ秒の、図31上の受信セル遅れにおける最悪のケースのために設計されている。高速（例えば、DS3）での限定要因は、先入れ先出しメモリサイズである。ジッタは、（1）種々の等時性非同相転送モード発信元間のうなり率によって引起される集群および/または（2）他の通信によって瞬時の割込みされる非同相転送モード交換機内の通信路によって引起される統計的待ち行列遅延によって引起される。集群は、代表的な場合、統計的待ち行列よりも少ない遅延を生じる。集群遅延は、規則的に発生する。

【0024】 図2および図3は、適応クロック回復装置10の動作の理解を助けるのに使用される応答図である。図2および図3によれば、3個のプログラム変数（「fill_level_err」、「integrator」および「integrator_float」）は、90秒時間間隔に亘ってプロットされる。変数「fill_level_err」は、先入れ先出しメモリ内に蓄積された情報の大きさの公称値からの偏差を表現する。

【0025】 図2について、初期条件は、適応クロック周波数（「integrator」）は、発信元クロックよりも60ppm遅い。したがって、先入れ先出しメモリ15に蓄積されたバイトの数は、公称値よりも30バイトという最大値（先入れ先出しメモリ過充填状態）まで増加する。先入れ先出しメモリ15内のバイトの数が増加し始めるにつれて、適応クロック回復装置10は、ramp_mode1に置かれ、適応クロック周波数（「integrator」）は、発信元クロックより50ppm大きい点まで増加（過度補正）される。

【0026】 先入れ先出しメモリ充填水準誤差（「fill_level_err」）が30バイトまで増大し、続いて、定義された値（「DEF_pole_2D」）=5バイト）減少したとき、適応クロック回復装置10は、ramp_mode4に置かれ、適応クロック周波数（「integrator」）は、発信元クロックより50ppm大きい点で一定に保持されることにより、先入れ先出しメモリ15に時間を与え、これに

(7)

特開平7-46257

12

より、+30バイトのうち幾つかを排除する。先入れ先出しメモリ充填水準誤差（「fill_level_err」）が所定しきい値まで減少した（「DEF_ramp_dp」=10バイト）に变化したとき、適応クロック回復装置10は、ramp_mode5に置かれ、適応クロック周波数（「integrator」）は、見掛け発信元周波数（「integrator_float」）に等しい値まで線形的に（必要とされた過度補正の量に比例した率で）減少され、続いて、適応クロック回復装置10は、ramp_mode0に置かれる。急速な線形的減少は、短縮長さ補正サイクルとなる。適応クロック周波数（「integrator」）の0への減少は、作図原点から、ちょうど8秒未満の時点で生じる。

【0027】 見掛け発信元周波数（「integrator_float」）が高信頼度で指定されないときは、プログラムは、さらに、適応クロック周波数（「integrator」）の減少を停止させる防衛的検査を含む。

【0028】 他の発振が全くない（完全遮断制動という）ことに留意してほしい。「fill_level_err」と「integrator_float」のプロットは、いずれも、時間全体に亘って徐々に減少する（図2は、90秒からなる全体を示す）。ramp_mode0によれば、プログラムは、適応クロック周波数（「integrator」）が正確に発信元周波数に等しくなるように、1.0〜1.5分に亘って数バイトだけ先入れ先出しメモリ充填水準誤差を補正できる組低減補正を含む。

【0029】 図3によれば、初期状態は、適応クロック周波数（「integrator」）が発信元クロックよりも60ppm遅いことである。したがって、先入れ先出しメモリ15に蓄積されたバイトの数は、公称値よりも、最大で30バイト減少する（先入れ先出しメモリ充填不足状態）。先入れ先出しメモリ15内のバイトの数が減少するにつれて、適応クロック回復装置は、ramp_mode1に置かれ、適応クロック周波数（「integrator」）は、発信元クロックより50ppm下の点まで減少される。

【0030】 先入れ先出しメモリ充填水準誤差（「fill_level_err」）が-30バイトまで減少し、続いて定義された値（「DEF_pole_2D」）=5バイト）だけ増大した時は、適応クロック回復装置10は、ramp_mode2に置かれ、適応クロック周波数（「integrator」）は、発信元クロックより50ppm少ない点で一定に保持されることにより、先入れ先出しメモリ15に時間を与えこれにより追加バイトを蓄積する先入れ先出しメモリ充填水準誤差（「fill_level_err」）が公称値より低い所定しきい値（「DEF_ramp_dp」=10バイト）に变化したとき、適応クロック回復装置10は、ramp_mode3に置かれ、適応クロック周波数（「integrator」）は、線形的に（必要とされた補正過度の量に比例した率で）見掛け発信元周波数（「integrator_float」）に等しい量まで増加され、続いて、適応クロック回復装置10は、ramp_mode0に置かれる。急速な線形増加は、短縮長さ補正

(8)

特開平7-46257

13

サイクルを生じる。適応クロック周波数（「integrator」）の0への増加は、作図原点から8秒未満のところ

で生じる。
【0031】プログラムは、見掛け発信元周波数（「integrator_float」）の推定の信頼性が高くないときは、適応クロック周波数（「integrator」）の増加を停止させる防衛的検査を、さらに、含む。

【0032】他の発振が全くない（完全遮断状態である）ことに留意してはいい、「fill_level_err」および「integrator_float」のプロットは、いずれも、時間とともに徐々に増大する（図3は、90秒の全体を示す）。ramp_mode0によれば、プログラムは、適応クロック周波数（「integrator」）が発信元周波数に正確に等しくなるように、1.0〜1.5分に亘って数バイトだけ先入れ先出しメモリ充填水準誤差を修正できる超低速修正を含む。

【0033】先入れ先出しメモリ15の公称充填水準は、7個の非同期転送モードセル（すなわち、 $7 \times 47 = 329$ バイト）である。先入れ先出しメモリ15に蓄積された非同期転送モードセルの最大数は、60セル（すなわち、 $60 \times 47 = 2820$ バイト）である。公称充填水準は、遅延が最小となるように、ジッタ、および、遅延開始による偏差（初期クロック補償）を取扱うのに必要な最小値である。

【0034】見掛け発信元周波数（「integrator_float」）は、適応クロック周波数（「integrator」）と先入れ先出しメモリ充填水準誤差（「fill_level_err」）との重みづけ組合せを使用することにより、推定される。推定は、主として、適応クロック周波数（「integrator」）の制御を制御するためになされる。見掛け発信元周波数（「integrator_float」）は、適応クロック周波数（「integrator」）よりも緩慢に変化する。これは、一部、発信元クロック周波数が極めて徐々に変化するという仮定に基づく。

【0035】適応クロック周波数（「integrator」）は、（1）発信元周波数との不一致および（2）非同期転送モードセル内のデータ利得もしくは損失から生じる先入れ先出しメモリ偏差を修正するのに使用される。先入れ先出しメモリ充填水準誤差（「fill_level_err」）は、適応クロック周波数（「integrator」）と調和した状態で応答する。

【0036】適応クロック回復方法は、マイクロプロセッサ29（図1参照）内で実行され、可変水晶発振器（VCO）33を制御するデジタル信号処理プログラムである。プログラムは、1kHzの標準化周波数で実行される。適応クロックは、「通常型」位相同期ループの機能を与える。しかし、入力信号条件は、「通常型」位相同期ループによっては、正確に追跡することができない。適応クロック回復装置10によれば、先入れ先出しメモリ15充填水準は、プログラムの入力となる。十

14

分な積分を適用することができる（約1Hzの低域通過フィルタ）ときは、正確な発信元クロック速度は、間欠的データ流れから決定することができる。低域通過フィルタは、デジタル積分により容易に得ることができる。る波もしくは積分期間は、入力ジッタ、閉鎖時刻、および、クロックジッタ規格およびワンド規格によって決定される。

【0037】適応クロックキングを実現するに当たっての課題は、良好な制動と安定性を備えた狭帯域フィルタを得ることである。「通常型」位相同期ループは、クロック補正と検出された応答との間に極めて大きな位相もしくは時間遅れを有する。先入れ先出しメモリは、回路内のばねのように動作し、補正偏差を遅延させる。先入れ先出しメモリ内のジッタは、小補正の認識を不能とする。長時間定数積分フィルタは、上述のループ遅延問題を増大させる。また、「通常型」位相同期ループと違って、適応クロック回復装置10の先入れ先出しメモリ15は、過去のクロック誤差と失われたデータとを再生する。これらの過去状態は、先入れ先出しメモリを正常化するため、クロック遅れの補正速度によって修正する必要がある。本実施例のタイプによれば、「通常型」位相同期ループ遅延/遅れ制動フィルタは、効果的でない。

【0038】本実施例のアルゴリズムは、適応クロックキングに対して開発されており、上述したループ制動問題および安定性問題を解決する。まず、3個の入力信号が決定される。これらは、見掛け発信元周波数先入れ先出しメモリ充填水準誤差、および、誤差方向（増加または減少）である。続いて、現在のクロック周波数誤差と先入れ先出しメモリ水準条件とについて、補正が計算される。この補正は、開ループ比例上向き傾斜下向き傾斜電圧制御水晶発振器33制御信号として実行される。補正率（勾配）、振幅および時間は、先入れ先出しメモリ誤差に基づく持続的遅延なしに誤差を修正するために計算される。

【0039】ramp_model、2、3、4および5は、開ループ調整に対応する。

【0040】補正サイクルの終端において、クロックが補正サイクル内で傾斜過度となっているが、先入れ先出しメモリ水準とクロックとは、零入力零点に存在する。誤差が高精度に測定されたとき、全体制動応答は、遮断（負もしくは正の行過ぎ量が0）である。

【0041】積分は、先入れ先出しメモリ水準誤差信号に基づいて行われることにより、データジッタの追加的る波を行う。この積分時間は、重要な引き数であり、適応クロック制動応答の一部を決定する。適応クロック上向もしくは下向傾斜の決定は、ファジー先入れ先出しメモリ水準誤差データに基づいて行われるので、幾つかの発見的検査と補正とは、適応クロック回復装置10が非同期となる前に、偽のクロック傾斜運動を検出し防止するのに使用する。

(9)

特開平7-46257

15

【0042】1. 5~45MHzのクロック速度について、シミュレーションにより、素晴らしいクロック安定性、制動応答および先入れ先出しメモリ水準制御が達成された。

【0043】例示の適応クロック回復方法は、大ジッタを伴う入力データ流れのみから、極小ジッタを伴う高精度クロックを得る必要があるシステムに有用である。この方法は、制動応答に（信号入力の雑音と結び付いた）大きな遅れがある他のシステムにも有用である。

【0044】マイクロプロセッサ29によって実行される適応クロックプログラムのソフトウェア流れ図が図4~図6に示されており、プログラム関数とアルゴリズムとは、明細書中で説明される。図4~図6に示されたブロックは、明細書の一部を成すプログラムテキストの特定行に対して参照を与える。

【0045】適応クロックプログラムは、1ミリ秒の時間間隔で実行される。この速度は、電圧制御水晶発振器の滑らかな4096ステップ制御となるように選択された。これにより、アナログ制御回路に近似する。プログラムは、平均実行時間間隔が0.9~1.1ミリ秒の範囲で行われ、この速度から生じるジッタ変動に対して不感である。図4~図6に示された流れ図と明細書中の対応する説明とは、ある期間に亘るプログラムの動作を説明する。

【0046】変数「clk-ctic」（図4、ブロック101）は、各実行時間間隔において増分増加される32ビット計数器である。この変数は、プログラム全体を通してタイマとして働く。卓上と処理アルゴリズムとは、タイママスク（同図引き数内に明示された）の2進ロールオーバーに基づく突合せによって起動される。例えば、1秒間卓上タイマは、1024個の1ミリ秒clk-cticsの期間を与える1024-1の2進マスク引き数によって実現される。

【0047】プログラムは、外部揮発性記憶装置である先入れ先出しメモリ15内のバイトの数である1個のみの入力（ブロック102）を有する。変数「先入れ先出しメモリ」は、先入れ先出しメモリ充填水準を格納する外部ハードウェアであるアップ/ダウン計数器25の読みに基づいてロードされる。先入れ先出しメモリ15は、最悪の場合のセル遅延+クロック補償時の待ち行列のためのマージンを吸収するのに十分な大きさでなければならない。

【0048】プログラム流れ中の最初のアルゴリズム（ブロック103）は、積分器計数との関係で、常時、推定基底周波数または見掛け発信元周波数を格納する。変数「integrator_float」中の値を出力する。このアルゴリズムは、プログラムの終端に置いて実行することもできた。

【0049】基底周波数は、理想的には、（見掛け発信元周波数である）先入れ先出しメモリデータ若信ビッ

16

ト転送速度と等しくなるべきである。プログラムの零入力状態または同期状態（ramp_mode()）においては、「integrator_float」の値は、変数「integrator」に等しい。変数「integrator」は、主（極小）積分アキュムレータ機能を与え、直接、電圧制御水晶発振器33周波数を制御する。値「integrator_float」は、「integrator」および「fill_level_err」の値の重み付け基進化の組合せとして展開される。正確な論理を知るためには、プログラムテキストを参照してほしい。

【0050】変数「integrator_float」は、極小変数「integrator」の約2倍の積分時間定数を備えた他の積分アキュムレータである。変数「integrator_float」は、開ループ補正サイクルの終端において最終値に達し、続いて、「integrator」における値と等しくなるべきである。変数「integrator_float」は、「integrator」のより迅速な変化にตอบสนองしない。

【0051】変数「integrator」は、発信元周波数変化に対する補正を導き、これに基づく、または、データ損失に基づく先入れ先出しメモリ水準を正常化するため、より迅速にตอบสนองする。（「integrator」により制御される）電圧制御水晶発振器33クロックも、一の期間、過度補正されることにより、周波数変化後、先入れ先出しメモリ15を正常化する。変数「integrator_float」は、過度補正されないが、補正サイクルの完了が進行するのと同時に、新たな基底線水準に達する。主先入れ先出しメモリとクロック補正ループとは、先入れ先出しメモリ水準補正がなされた後、戻る（すなわち、下向き傾斜する）べきかどうかを決定するため、「integrator_float」を使用する。このアルゴリズムも、先入れ先出しメモリ水準を正常化するためののみ、クロック変更がなされた後、最初の基底線発信元周波数に「integrator_float」を戻す。これは、図8により理解することができる。

【0052】他の伝送回路での誤差状態は、発信元クロック周波数に何らの変化を生じることなく、データを追加もしくは失わせることがある。

【0053】「integrator_float」を明らかにする引き数は、「integrator」、「integrator_float」および「fill_level_err」の応答を伴う。これらの変数を調整することにより、変数「fill_level_err」と「integrator」（電圧制御水晶発振器33周波数）との両方の（最小行過ぎ量、または、負もしくは正の行過ぎ量がない）最大制動を得る。値「integrator_float」は、0に達するfill_level_errと一致する新基底線値に達する。この交差を示すプロットが図2と図3に示されている。

【0054】ブロック103のアルゴリズムは、開ループクロック調整または先入れ先出しメモリ水準調整がなされた後、回路が正しい周波数に戻ることができるように、持続的に見掛け発信元周波数を指定する。アルゴリ

(10)

特開平7-46257

17

ズムは、全体回路の制動係数の一次制動として使用される。

【0055】流れ中の次のアルゴリズム（ブロック104）は、予備積分（すなわち、ジッタ平滑化操作）を行う。このアルゴリズムは、変数「先入れ先出しメモリ」内に現われるデータ若信（先入れ先出しメモリ充填水準）ジッタの大部分をろ波する。アルゴリズムの出力は、「FIFO_float」と呼ばれる新変数である。「FIFO_float」は、引き数「DEF_float_inertia_mask」によって定義された期間毎に1バイト計数だけ「先入れ先出しメモリ」を追跡する。DS1速度クロックを表現するため、引き数「DEF_float_inertia_mask」は、32ミリ秒毎に事象を与える8道37に設定される。

【0056】32ミリ秒毎の、FIFO_float内の1データバイトの最大移動量は、162ppm/秒のDS1クロック変化に等しい。この過程において、162ppmを超える全てのジッタ変動は、完全に平滑にされるか、または、無視される。この操作は、真先入れ先出しメモリ水準に何らの効果も生じず、プログラムの残りの部分により処理される見掛け水準にのみ効果を生じる。引き数は、最大電圧制御水晶発信器33スリューレートより大きい（例えば、スリューレートの2倍）見掛け先入れ先出しメモリ速度変化を許容する値に設定される必要がある。

【0057】ブロック104の方法は、データ若信ジッタを前もって、指定変化率より小さい（ppm/秒に換算した）先入れ先出しメモリデータ水準変動を追跡する。この方法は、データ若信ジッタを平滑にする前置先入れ先出しメモリを必要としない。

【0058】次位のプログラム命令文（ブロック105）は、「FIFO_float」から引き数「DEF_normal_fill_level」を差引くことにより、変数「fill_level_err」を初期化する。変数「fill_level_err」は、所定公称値から先入れ先出しメモリ水準偏差の符号付値である。変数「fill_level_err」は、プログラムの残りの部分においてループ誤差信号として使用される。正の値は、先入れ先出しメモリ水準が増大しつつあり、電圧制御水晶発信器33が先入れ先出しメモリ水準を正帰化するため、より高い周波数に変化しなければならないことを示す。

【0059】次のアルゴリズム（ブロック106および107）は、開ループ算出クロック補正のための主制御状態を発生させる。

【0060】現在「fill_level_err」を「old_fill_err」での前誤差状態と比較することにより、充填水準誤差が減少しつつあるかどうかを決定する。ヒステリシスは、引き数DEF_pole2I内で指定されたバイトの数を越える、先入れ先出しメモリ充填水準の変化に 대응するだけでこの検出に組込まれる。このヒステリシスは、変数「fill_level_err」内に照存するデータ若信ジッタにより引起こされる偽り検出の数を減らす。

18

【0061】続いて、減少検査（ブロック106）は、適応クロック変化の方向を決定する。先入れ先出しメモリ充填不足状態に対して、クロックは、発信元より低い周波数となる（積分器値は、中心周波数点より小さい）。過度充填（正）状態に対して、適応クロックは、発信元より高くなる（積分器値は、中心周波数点より高い）。充填水準誤差が前実行時間間隔中に減少していたときは、「old_fill_err」を現在の「fill_level_err」における誤差に更新することを除いて何らの行為も取られない。しかし、「ramp_mode」における前状態が1に等しい（増加モード）時は、この事象は、増加から減少への変化となる。

【0062】「増加から減少」事象は、適応クロック電圧制御水晶発信器33が「見掛け」発信元クロック周波数より高くなったことを判定するので、重要である。この事象は、（これ以上の（増加）クロック補正を停止させ、「integrator」内の現在周波数を保持することになる）ramp_mode2または4を開始するのに使用される。変数「ramp_mode」は、充填不足先入れ先出しメモリ15に対して状態2に設定し、過充填先入れ先出しメモリ15に対して状態4に設定される。変数「ramp_slope」は、クロックが基底線に戻される（下向傾斜される）速さを制御するため初期化される。

【0063】先入れ先出しメモリ15を正帰化するため、クロックが過度補正されたことを想起してほしい。

【0064】（変数「ramp_slope」および「fill_err_dx」内に蓄積された）勾配は、引き数「DEF_div_x」により決定される「fill_level_err」の小数となるように計算される。下向勾配は、この事象の開始点での先入れ先出しメモリ水準誤差に比例する。

【0065】ブロック106の方法は、電圧制御水晶発信器クロック補正が見掛け発信元周波数（データ若信速度）と等しくなる時を示す。ブロック106の方法は、クロックが基底線周波数に戻る（すなわち、下向傾斜する（ramp_slope）速さをも計算することにより、クロックは、先入れ先出しメモリ充填誤差もりに達する時に基底線に達する。

【0066】充填誤差減少検査がなされた後、プログラムは、充填誤差増加検査（ブロック107）に進む。増加方向は、旧old_fill_errを現在充填誤差と比較することにより決定される。これは、減少検査のように作用するが、旧充填誤差と新充填誤差とは、逆転している。旧fill_level_errと新fill_level_errとの差は、増加検査のための引き数DEF_pole2Iを超えなければならない。増加事象に回答する前に、さらに、検査が行われる。ramp_modeがクロック下向傾斜（clock ramp_down）（状態3または5）を示したとき、または、充填誤差が零（不減増）領域にあるときは、増加事象は、無視される。これらの検査に合格すると、ramp_modeは、1に設定され、ramp_slopeは、値「fill_err_dx」に設定される。

(11)

特開平7-46257

19

【0067】引き数DEF_pole2は、増加から減少検査へのヒステリシスを提供するほかに、適応クロック行過ぎ量を制御する。制御された行過ぎ（補正過度）量は、発信元クロック速度が満たされた後、先入れ先出しメモリ15充填水準を正常化する。応答をプロットし、約75%のクロック行過ぎ量（発信元クロック周波数と適応クロック周波数との初期差の75%補正過度）に調整される。行過ぎ量は、先入れ先出しメモリを正常化するのに必要な時間を決定する。

【0068】ブロック106および107の方法は、先入れ先出しメモリ15充填水準誤差が高いデータ受信ジッタの存在下で増加しているか、または、減少しているかを高信頼度で決定する。また、ブロック16の方法は、先入れ先出しメモリ充填水準を正常化するのに必要なクロック補正過度量を制御する。

【0069】増加充填誤差モード（ramp_mode1）において一度、（ramp_slope）内の補正は、各時間間隔毎に、現在「integrator」値に加算される。必要クロック補正は、より高い周波数、または、より低い周波数に対してすることができるので、ramp_slopeは、正の値または負の値を格納することができる（図6、ブロック114）。この代数的加算は、（電圧制御水晶発信器33周波数を、発信元周波数に一致し、続いて、この周波数より高くなる値とする）積分器を傾斜させる。

【0070】見掛け発信元周波数が超えられたとき、先入れ先出しメモリ充填水準誤差は、減少し始める。ramp_slope率は、大多数の連続期間閉ループシステムの場合のように、誤差が減少するにつれて、減少することがない。この方法は、誤差収束時間を最小とする。行過ぎ量は、ramp_modes2～5の動作により制御される。

【0071】ブロック114（図6）の方法は、主（極1）積分関数を実行する。

【0072】ブロック108（図5）は、コード行No. 208のスイッチ（ramp_mode）命令文である。クロック傾斜モードは、保持閉数、補正過度閉数および下向傾斜閉数を与える。モード2（スイッチ命令文におけるケース2）は、負の充填水準誤差に対する保持である。モード2は、下向傾斜のためモード3を呼出す。モード4は、正の充填水準誤差の保持であり、対応する下向傾斜は、モード5である。ramp_mode2および4は、減少充填水準誤差検査アルゴリズム（ブロック106）により要求される。

【0073】（増大する誤差が減少に転じる）減少率象の開始時に、適応クロック電圧制御水晶発信器33は、発信元クロック速度に一致し、続いて、この速度を制御量だけ超えた（上へ行過ぎた）。先入れ先出しメモリ15充填水準は、クロック速度が収束していた増加誤差モード時間間隔の間にデータを得たか、失ったかしたので、開始時に公称値から脱することになる。

【0074】ramp_mode2および4（図5、ブロック1

20

09および111）は、先入れ先出しメモリ15充填水準が公称値に向って収束し、引き数DEF_ramp_de内で定義されたしきい値に一致するまで、クロック行過ぎ状態が一定に保持されるのを可能とする。引き数が正しく設定されたときは、「通常型」の位相同期ループにとっては典型的でない（クロック正もしくは負の行過ぎ量がほとんどないか、または、全くない）不感応答の結果となる。一般的に、これは、発信元と適応クロック電圧制御水晶発信器33との広範囲の初期周波数差に対して得ることができる。

【0075】ramp_down「ramp_modes」は、図5に示されたramp_mode3（ブロック110）とramp_mode5（ブロック112）とである。ramp_mode3および5が「integrator_float」内の基底積分器値へのramp_downを完了したときは、ramp_mode3および5は、ramp_mode0に設定し、スイッチ命令文から逃れる。ramp_mode0は、閉ループ制御アルゴリズム（ramp_mode1～5）に対して尋入力状態である。

【0076】完全な速示制御が存在するときは、適応周波数は、発信元に整合し、先入れ先出しメモリは、公称水準にある。残りの尋誤差が引き数DEF_dead_bandより大きいときは、新しいシーケンスが増加誤差検出アルゴリズム（ブロック107）によって開始される。複数のクロックが互いに異なり、先入れ先出しメモリ充填水準が公称値でないときは、2つ以上のサイクルが回路起動の間必要となる。これは、図9において、40秒の時点での二次補正サイクル内に見ることができる。

【0077】ブロック109および111の方法は、先入れ先出しメモリ水準が調整されるまで、補正過度適応クロック状態を保持する。ブロック110および112の方法は、先入れ先出しメモリ充填誤差が0に接近するとき、発信元周波数に一致するように、適応クロックを下向傾斜させる。

【0078】full_level_errが狭不感帯範囲内にあるとき、（尋入力状態である）ramp_mode0に入る。引き数DEF_dead_bandは、ramp_mode1～5に対して不感帯を定義する。引き数DEF_dead_bandは、±8バイトの尋範囲を許容するDS1速度用途に対して8に設定される。ramp_mode0（ブロック113）は、積分器に対して直接（閉ループ）期間補正を加える。ramp_mode0は、引き数DEF_case0_rateにより指定された率で1を加算し、または、減算する。補正率は、極めて小さく、このループは、約1/60Hzの自然周波数を有する。ループは、自然ループ周波数で共振し、full_level_errは、通常、短時間において±2バイトより多くずれないし、0バイト平均は、60秒間内である。適応クロック周波数追跡もしくはワンダ誤差は、尋での先入れ先出しメモリ充填誤差に係る。

【0079】ブロック103（図4）の方法は、（尋点での）極少量の閉ループ補償で加算を行うことにより、

(12)

特開平7-46257

21

22

閉ループ帰還ループ周波数の1サイクル内で先入れ先出しメモリ充填水準誤差を0に減少させる。

【0080】適応クロックプログラム内の最後の関数は、変数「integrator」の内容を（電圧制御水晶発振器33を制御する）D/A変換器30に与込むことである（図6、ブロック115）。この関数は、16ビット変数「integrator」を引き数DEF_VCO_range_factor内に指定された制御範囲に基準化し、続いて、基準化された値を（引き数DSL_VCO_DAC_center内に指定された）電圧制御水晶発振器33中心周波数点に対してオフセットする。この基準化され中心が定められた値は、D/A変換器30のアドレスに与込まれ、適応プログラムは、呼出しプログラムまたは割込み水準に戻る。

【0081】適応クロック技術と適応クロックアルゴリズムとは、大きなジッタを伴う入力データ流れのみから、極小ジッタを伴う高精度クロックを得る必要がある

システムに有用である。また、これらの技術とアルゴリズムとは、信号入力中の雑音と結び付いた、制御応答における大きな遅れを有するシステムにも有用である。これらの技術とアルゴリズムとは、広範囲の用途に対して基準化し調整することができる。

【0082】本実施例において述べられたプログラムは、小型埋込型プロセッサ内での実行速度に対して最適化された。約1MIP容量の16ビットプロセッサは、並列に接続された4個の適応クロック回路を処理することができる。乗算は、使用されない。また、数多くのアルゴリズムは、精密計算の代りに近似値を出力する。しかし、セットアップ調整を最小とし、制動を改善することにより、より広範囲の動作条件の下で速応答に達するために、計算を追加することができる。

【0083】

【表1】

(13)

待開平7-46257

23

24

```

1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
17
18
19
20
21
22
23
24
25
26
27
28
29
30 /* ci_adc.c source file */
31
32 1
33 1
34 1 /* local definitions arranged as variables for tuning */
35 1
36 1 /* Tuning Notes : DSI
37 1 pole2I = 6 for low jitter, 8 for moderate and jitter
38 1 pole2D = 4 for low jitter, 6 for moderate jitter
39 1 dead_band = 2 for low to moderate jitter, 8 for high jitter >> must be pow of 2
40 1 case0_fb = 0-2 for low to moderate jitter, try 3-4 for high jitter
41 1 case0_rate = none or 0177, use 037 for more null control
42 1
43 1 The remaining variables are for large transient or offset response
44 1 and should not require adjustment.
45 1 */
46 1
47 1 /* The VCXO must be set to +/- 130 ppm for DSI -- or -- use following factor */
48 1 /* VCXO range factor = (16 = 1
49 1 actual VCXO range divided by 130 for DSI and 140 for DSJ).
50 1 #define DSJ_VCXO_DAC_center 1990
51 1 #define DSI_integrator_center (DSI_VCXO_DAC_center + 16)
52 1
53 1 static short DEF_VCXO_range_factor = 22; /* DSI = (16 * (100/130)) = 12 */
54 1 static short DEF_VCXO_DAC_center = DSI_VCXO_DAC_center;
55 1 static short DEF_integrator_center = DSI_integrator_center;
56 1 static short DEF_normal_fill_level = LAM_FIFO_NORMAL_LEVEL_DSI;
57 1 static short DEF_pole2D = 5; /* pole 2 integration (see err diff
58 1 static short DEF_pole2I = 7; /* pole 2 integration time err diff
59 1 static short DEF_min_dec_rate = 2; /* low-end dec rate boost */
60 1 static short DEF_div_2 = 8; /* divide by N for fill_level_err
61 1 static short DEF_dead_band = 8; /* large response dead-time */

```

【0084】

【表2】

(14)

待開平7-46257

```

25
62 1 static short DEF_ramp_db = 10;
63 1 static short DEF_float_inertia_mask = 037; /* ramp-down threshold */
64 1 static short DEF_integ_float_rate = 03; /* 037 (total) = 167 ppm/sec */
65 1 static short DEF_integ_adj_ratio = 4096; /* 03 = 250/sec -- 03: value */
66 1 static short DEF_adj_lim = 8;
67 1 static short DEF_case0_rate = 3;
68 1 static short DEF_case0_db = 07;
69 1 static short DEF_case0_db = 1; /* null dead-band */
70 1
71 1 /* local static variables */
72 1 static long old_fill_err;
73 1 static long damp_err;
74 1 static long fill_level_err;
75 1 static long fill_err_lim;
76 1 static long integrator = DEF_integrator_center;
77 1 static long integrator_float = DEF_integrator_center;
78 1 static long scaled_integrator;
79 1 static long clk_tic;
80 1 static long ramp_mode;
81 1 static long ramp_slope;
82 1 static long fill_err_db;
83 1 static long integ_float_adj;
84 1 static long fill_adj;
85 1 static long FIFO;
86 1 static long FIFO_float;
87 1 static u_short dac_lo;
88 1 static long dead_band;
89 1
90 1
91 1 clk_tic = clk_tic + 1;
92 1
93 1 FIFO = *ptr_FIFO_low; /* Read FIFO level register - qcy in bytes */
94 1
95 1 /****** Adaptive clk initialization *****/
96 1 if (adclk_clk_init == TRUE)
97 2 {
98 2     adclk_clk_init = FALSE;
99 2
100 2     integrator = DEF_integrator_center;
101 2     integrator_float = integrator;
102 2     damp_err = 0;
103 2     ramp_mode = 0;
104 2     clk_tic = 0;
105 2     old_fill_err = 0;
106 2     fill_level_err = 0;
107 2     FIFO_float = FIFO;
108 2 }
109 1
110 1 /****** Start of adaptive clock algorithm *****/
111 1
112 1 /* the rate of integrator_float change must NOT exceed the integrator ramp rate */
113 1 if ((clk_tic & DEF_integ_float_rate) == 0) /* rate of change of integrator_flo
114 2 {
115 2     integ_float_adj = (integrator - integrator_float) / DEF_integ_adj_ratio;
116 2     fill_adj = fill_level_err / DEF_fill_adj_ratio;
117 2
118 2     if (integ_float_adj > DEF_adj_lim)
119 2         integ_float_adj = DEF_adj_lim;
120 2
121 2     if (integ_float_adj < -DEF_adj_lim)
122 2         integ_float_adj = -DEF_adj_lim;

```

[0085]

[表3]

(15)

特開平7-46257

27

28

```

123 2
124 2 if (fill_adj > DEF_adj_lim)
125 2     fill_adj = DEF_adj_lim;
126 2
127 2 if (fill_adj < -DEF_adj_lim)
128 2     fill_adj = -DEF_adj_lim;
129 2
130 2 Integrator_float = Integrator_float + integ_float_adj + fill_adj;
131 1
132 1
133 1 if ((clk_tic & DEF_float_sanitize_mask) == 0)
134 1
135 1 if (FIFO > FIFO_float)
136 1     FIFO_float = FIFO_float + 1;
137 1
138 1 if (FIFO < FIFO_float)
139 1     FIFO_float = FIFO_float - 1;
140 1
141 1
142 1
143 1 fill_level_err = FIFO_float - DEF_normal_fill_level;
144 1 fill_err_err = FIFO - DEF_normal_fill_level;
145 1
146 1 *ptr_OAC_3 = (u_short)(fill_level_err * 2040); /* output for test access */
147 1
148 1 fill_err_dx = fill_level_err / DEF_dlv_x;
149 1 dead_band = fill_level_err / DEF_dead_Band;
150 1
151 1
152 1 /* decreasing error */
153 1 if ((fill_level_err < 0) && (old_fill_err - fill_level_err >= DEF_pole2D))
154 1 {
155 1     old_fill_err = fill_level_err;
156 1
157 1 /* Increasing turns to decreasing */
158 1 if (ramp_mode == 1)
159 1 {
160 1     ramp_mode = 2;
161 1     ramp_slope = fill_err_dx - DEF_min_dec_rate; /* low-end dec rate boost */
162 1 }
163 1
164 1
165 1 }
166 1
167 1
168 1 if ((fill_level_err > 0) && (old_fill_err - fill_level_err >= DEF_pole2D))
169 1 {
170 1     old_fill_err = fill_level_err;
171 1
172 1 /* Increasing turns to decreasing */
173 1 if (ramp_mode == 1)
174 1 {
175 1     ramp_mode = 4;
176 1     ramp_slope = fill_err_dx + DEF_min_dec_rate; /* low-end dec rate boost */
177 1 }
178 1
179 1
180 1 }
181 1
182 1 /* increasing error */
183 1 if ((fill_level_err < 0) && (old_fill_err - fill_level_err >= DEF_pole2D))
184 1 {

```

[0086]

[表4]

(15)

特開平7-46257

29

30

```

183 2
184 2     old_fill_err = fill_level_err;
185 2
186 2     if ((ramp_mode != 3) && (ramp_mode != 5) && (dead_band != 0))
187 2     {
188 3         damp_err = fill_err_err;
189 3         ramp_mode = 1;
190 2     }
191 1 }
192 1
193 1
194 1
195 1     if ((fill_level_err > 0) && (fill_level_err - old_fill_err > DEF_pole2))
196 2 {
197 2     {
198 3         old_fill_err = fill_level_err;
199 3
200 3         if ((ramp_mode != 3) && (ramp_mode != 5) && (dead_band != 0))
201 3         {
202 4             damp_err = fill_err_err;
203 4             ramp_mode = 1;
204 3         }
205 2     }
206 1 }
207 1
208 1     switch (ramp_mode)
209 2 {
210 2 case 0:
211 2 case 1:
212 2     if ((clk_cic & DEF_case0_rate) == 0)
213 3 {
214 4     if (fill_err_err > DEF_case0_db)
215 4     {
216 5         integrator = integrator + 1;
217 5     }
218 4     if (fill_err_err < -DEF_case0_db)
219 4     {
220 5         integrator = integrator - 1;
221 5     }
222 4     }
223 2     break;
224 2
225 2 case 2:
226 3     damp_err = 0;
227 3
228 3     if ((fill_level_err > -DEF_ramp_db)
229 3     {
230 4         ramp_mode = 3;
231 3     }
232 2     break;
233 2
234 2 case 3:
235 3     damp_err = -ramp_slope;
236 3
237 3     if ((integrator > integrator_float) || (fill_level_err > DEF_ramp_db))
238 3     {
239 4         ramp_mode = 0;
240 4         damp_err = 0;
241 4         old_fill_err = fill_level_err;
242 3     }
243 2     break;
244 2
245 2 case 4:
246 3     damp_err = 0;

```

【0087】

【表5】

(17)

符号平7-46257

```

31
247 1
248 2
249 3
250 3
251 2
252 2 break;
253 2
254 2 case 5:
255 2
256 2
257 2
258 3
259 3
260 3
261 3
262 2
263 2 break;
264 1
265 1
266 1
267 1
268 1
269 1
270 1
271 1
272 1
273 1
274 1
275 1
276 1
277 1
278 1
279 1
280 1
281 1
282 1
283 1

```

32

【0088】図7は、(発信元クロックに対してプロットされた「integrator」) 適応クロック周波数と先入れ先出しメモリ充填水準誤差「fill_level_float」を示す応答線図である。応答線図は、先入れ先出しメモリ15が1個のセルベイロード(47バイトすなわち47オクテット)を失う遷移誤差状態に対する適応クロック回復装置10(図1)の応答を示す。fill_level_err軌跡は、発信元より60ppm行くことによって、遷移セル損失と、この遷移セル損失に対する適応クロック応答を示す。半サイクルの正の行過ぎ量設定時間または制動設定時間が存在することに留意してほしい。これは、遷移データ損失もしくは利得に対する適応クロック回復装置10の特徴である。適応クロック回復装置10は、遷移データ誤差に対してよりも、発信元クロック変化を追跡することに対して、より良い制動を与える。

【0089】図8は、(発信元クロックに対してプロットされた「integrator」である) 適応クロック周波数、先入れ先出しメモリ充填水準誤差(「fill_level_err」) および適応クロック周波数(「integrator」)を示す応答線図である。この応答線図は、初期発信元クロックのない1個のセルベイロード(47オクテット)の初期先入れ先出しメモリ15誤差に対する適応クロック回復装置10の応答を示す。図8は、図7中のセル損失率象がこの線図中の始動fill_level_errであることを除いて、図7に類似する。また、変数integrator_floatは、この線図に含まれる。

【0090】立上り時間間隔またはクロック捕獲時間間隔は、適応クロックアルゴリズムが起動される前に、先

入れ先出しメモリ水準を立上り時のDEF_normal_fill_levelに初期化することにより、有意に減らすことができる。これは、以下の手続を用いて、プロセッサ29によっても行うことができる。回路が活動していないときは、read_strobe24は、無効化され、線路送信器21は、全てのコード(DS1 A1S信号)のうち遊びコードを送信するように設定される。

【0091】セル若信が検出され定常的であるときは、先入れ先出しメモリは、26にリセットされ、fill_levelは、緊密ループ内で直ちに監視(ポーリング)される。充填水準がDEF_normal_fill_level進みバイアスに達した時、read_strobeは、使用可能にされ、A1S信号は、無効化される。進みバイアスは、プロセッサが読出しストローブを使用可能とする時間を割当てる。進みバイアスは、この使用可能を、DEF_normal_fill_levelに達する充填水準と一致させるように調整することができる。

【0092】図9は、(発信元クロックに対してプロットされた「integrator」である) 適応クロック周波数、先入れ先出しメモリ充填水準誤差、および見掛け発信元周波数を示す応答線図である。この応答線図は、1個のセルベイロード(47オクテット)の初期先入れ先出しメモリ15誤差と-70ppmの初期発信元クロック誤差に対する適応クロック回復装置10の応答を示す。また、図9は、40秒での二次補正サイクルを示す。初期補正サイクルは、クロックを真発信元周波数より数ppm低く下向傾斜させる。fill_level_errの低速上向ドリフトとなり、40秒での補正サイクルとなる。傾斜モード

0も、各ゾーン内での低速ワンドを補正する。これは、約35秒でほとんど0に収束する適応クロック積分器によって遅延することができる。この場合、傾斜モード0補正は、小さすぎ、遅すぎる。

【0093】従来技術にかかる「通常型」位相同期ループ装置

「通常型」位相同期ループによれば、宛先クロック速度は、平均セル到着速度のみから決定される。位相または周波数情報は、T1S1、1-「非同期転送モード回路エミュレーションのためのクロック回復体系」(1988年、10月10日、リチャード・シー・ロウ(Richard C. Lau))に対するベルコア特許の図1に示されているように、先入れ先出しメモリ充填水準から来る。この技術は、網基準クロックと発信元回路からの符号化されたクロック情報とを必要としないので、極めて、望ましいものと一般的に認められている。しかし、実設計が試みられたときは、(クロック収束時間ジッタ、および、ワンドの点で)性能が悪わしくないか、または、許容できないことも一般的に認められている。

【0094】上述した性能問題に加えて、回路分析と実装とは、位相またはループ利得がクロックワンドを制御するのに十分なとき、本用途における、通常型位相同期ループが制動と安定性の制御において本質的問題を有することを示す。

【0095】「通常型」位相同期ループ装置は、図10に示された装置210として示されている。装置210は、線路211上の155Mbps非同期転送モード(ATM)セル流れから線路222上の同期DS1で1.544Mbps定常ビット速度回路へのインタフェースにおいて使用される。線路211上の発信セル流れの間欠同期的特質のため、線路222上を同期的に情報を伝送するのに必要なクロックは、線路211上のセル流れ内のエッジ情報または遅延情報を使用することによって、得ることができない。むしろ、このクロックは、線路211上の長期平均セル速度に基づく。

【0096】線路211上の各非同期転送モードセルは、5バイトヘッダ、1バイト速台層および使用できる情報を有する47バイトペイロードからなる53バイトパケットである。回路212は、(セルヘッダと速台層1処理を行い、線路214上の書き込みストロープを使用しバイトバス213を介して47バイトペイロードの、同期先入れ先出しメモリ215への書き込みを制御する。先入れ先出しメモリ215は、線路222の伝送を待機しつつ蓄積される全てのバイトを蓄積するのに十分なバイトより多い、最大4096個の8ビットバイトを蓄積する。また、先入れ先出しメモリ215は、線路227上の(空の先入れ先出しメモリに対して0ボルトから高圧先入れ先出しメモリに対しての5ボルトまで変化する)アナログ先入れ先出しメモリ充填水準信号を伝送する。

【0097】線路235上の適応線路クロックは、先入れ先出しメモリ216から線路222上のDS1同期回路へのバイトの伝送を制御するのに使用される。線路235上の適応線路クロック周波数は、並列直列変換器218と線路発信器221とを操作するのに使用される。線路クロック周波数は、計数器223によって8分周され、生じた線路224上のバイトクロックは、読出しストロープとして使用されることにより、バイトバス216、並列直列変換器218、および、線路222上のDS1回路としての線路送信器221による伝送用線路219を介して、先入れ先出しメモリ215からペイロード情報のバイトの読出しを生じる。線路送信器211は、線路流れ内にB8ZS符号を挿入することにより、8個以上の連続的0ビットが線路222上を伝送されるのを防止する。

【0098】線路227上のアナログ電圧は、抵抗232とコンデンサ234とからなる位相同期ループループフィルタを通じて伝送される。ろ波された電圧は、電圧制御水晶発信器233へ制御入力信号を供給し、線路235上の電圧制御水晶発信器233適応線路クロック周波数は、閉ループ法で(すなわち、先入れ先出しメモリ215から線路227上へ伝送されるアナログ電圧にตอบสนองして)調整される。

【0099】従来技術にかかる同期残り時間表示(SRTS)装置

同期残り時間表示装置は、非同期転送モード網内でのクロック速度を再構成するため、国際電信電話諮問委員会検討班XVIIIIによって標準化されている。この装置によれば、クロック速度情報は、時間表示の形式で発信元回路において符号化される。時間表示は、基本的に発信元回路クロックと網基準クロックとの差である。この、符号化された時間表示は、非同期転送モードセルヘッダの予備ビット内の宛先クロック回路に伝送される。宛先クロック回路において、時間表示と網基準クロックとは、基本的に、最初の発信元周波数を再構成するのに使用される。この線図は、1992年3月9日付の国際電信電話諮問委員会ノートの図5中に示されている。

【0100】この方法は、(全ての伝送要件を満たす)宛先クロック回路の素晴らしい性能を与える。しかし、この方法は、網基準が使用可能なときにしか使用できない。他の欠点は、発信元からの符号化された情報を必要とすることであり、宛先回路において先入れ先出しメモリ充填水準を調整し、または、維持する制御が欠けていることである。

【0101】先入れ先出しメモリ充填水準は、回路内の全伝送遅延に影響を及ぼす。

【0102】

【発明の効果】本発明によれば、閉ループ調整は、完全な、または、完全に近い遠示制動を伴う(すなわち、閉ループ装置において正しい周波数に達した後、続く周波

(19)

特開平7-46257

35

数発振のない) 急速な周波数補正となるので、制動は、「通常型」位相同期ループ装置に比べて、実質的に増大する。

【図面の簡単な説明】

【図1】本発明による適応クロック回復装置の一例の概略回路図である。

【図2】図1に示された装置の応答線図である。

【図3】図1に示された装置の応答線図である。

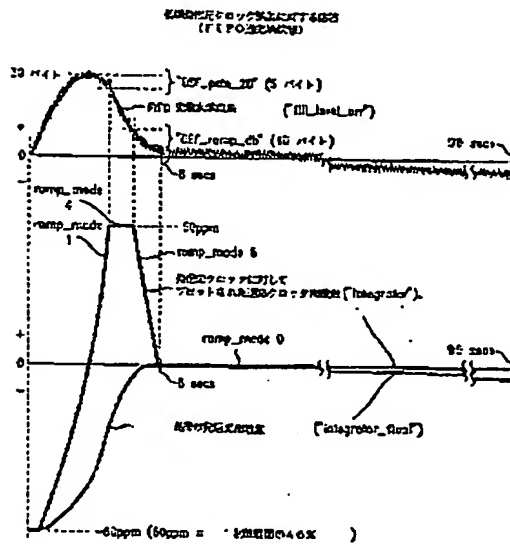
【図4】図1に示された装置中のマイクロプロセッサにより実行されるプログラムのソフトウェア流れ図である。

【図5】図1に示された装置中のマイクロプロセッサにより実行されるプログラムのソフトウェア流れ図である。

【図6】図1に示された装置中のマイクロプロセッサにより実行されるプログラムのソフトウェア流れ図である。

【図7】図1に示された装置の他の応答線図である。 *

【図2】



35

* 【図8】図1に示された装置の他の応答線図である。

【図9】図1に示された装置の他の応答線図である。

【図10】従来技術にかかる「通常型」位相同期ループ装置の概略回路図である。

【符号の説明】

10 適応クロック装置

12 回路

15 先入れ先出しメモリ

16 バイトバス

18 並列直列変換器

21 線路送信器

23 8分周計数器

25 アップ/ダウン計数器

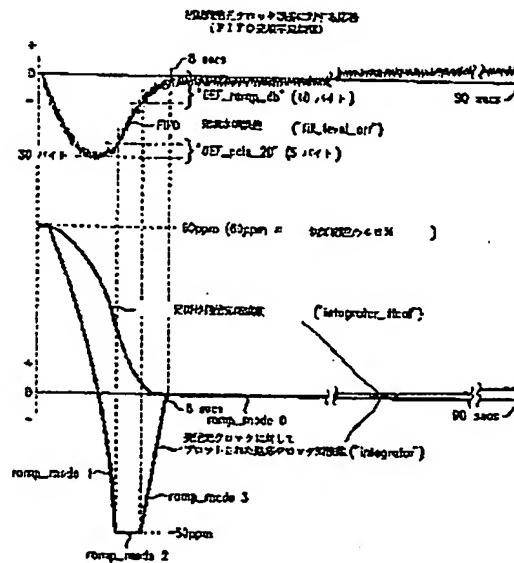
27 バス

29 マイクロプロセッサ

30 D/A補換器

33 電圧制御水晶発振器 (VXCO)

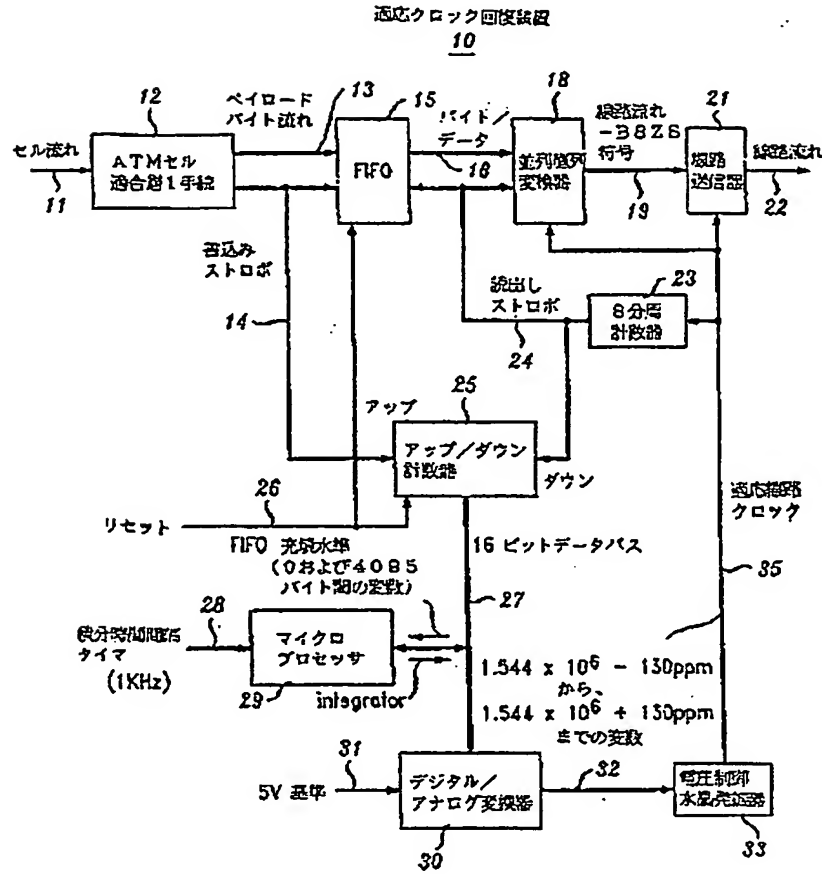
【図3】



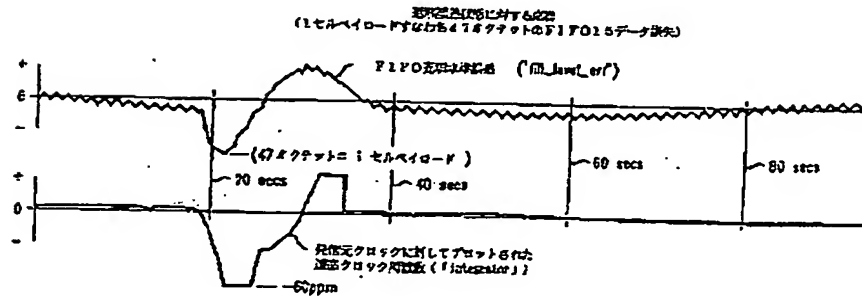
(20)

特開平7-46257

【図1】



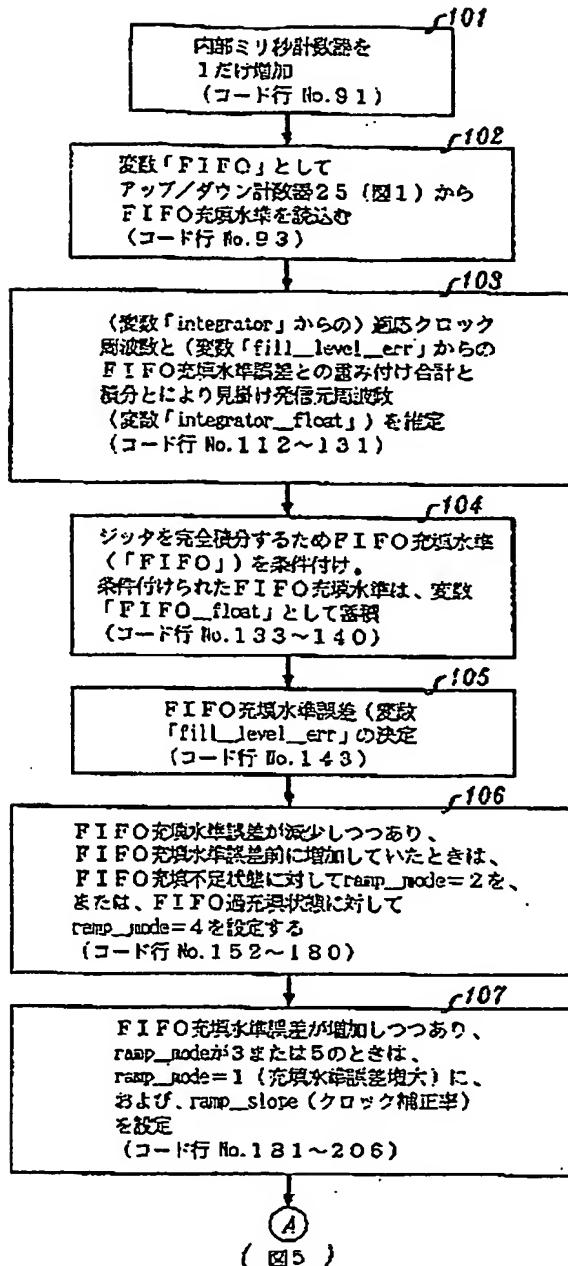
【図7】



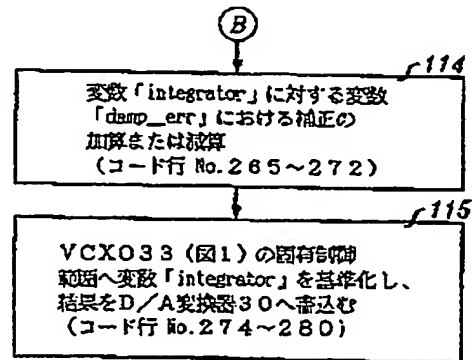
(21)

特開平7-46257

【図4】



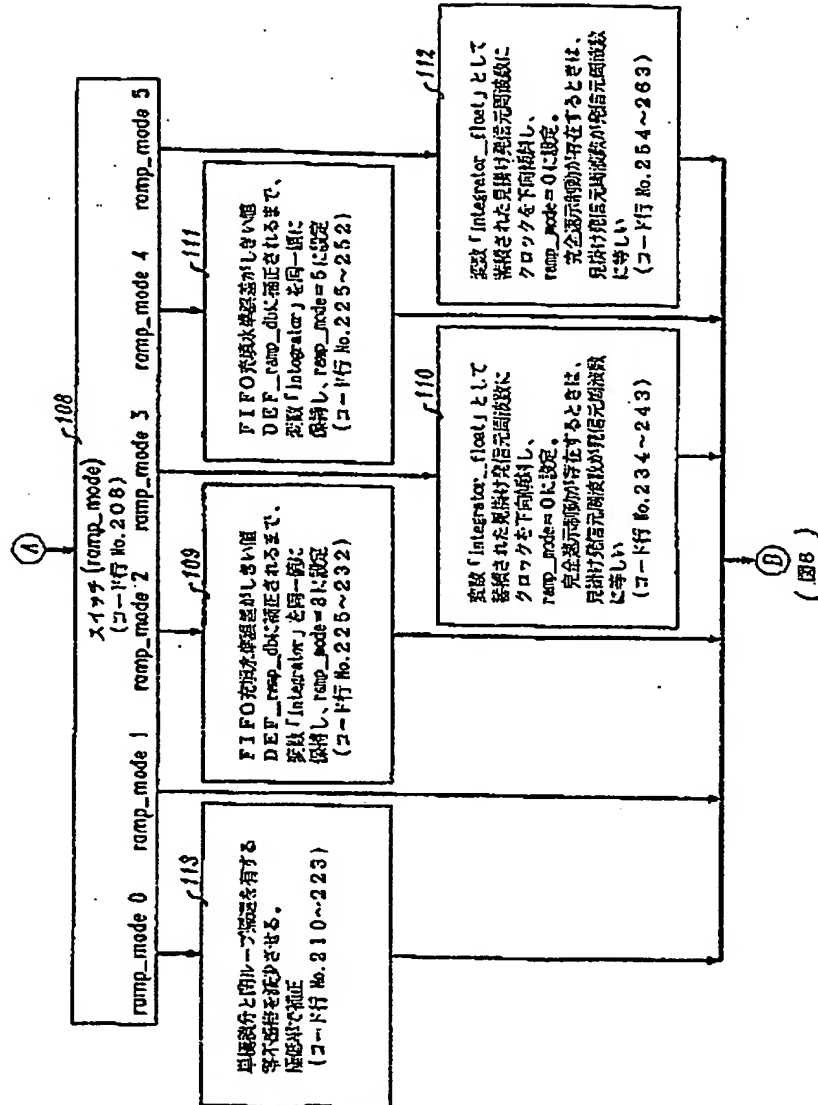
【図6】



(22)

特開平7-46257

【図5】



(図5)

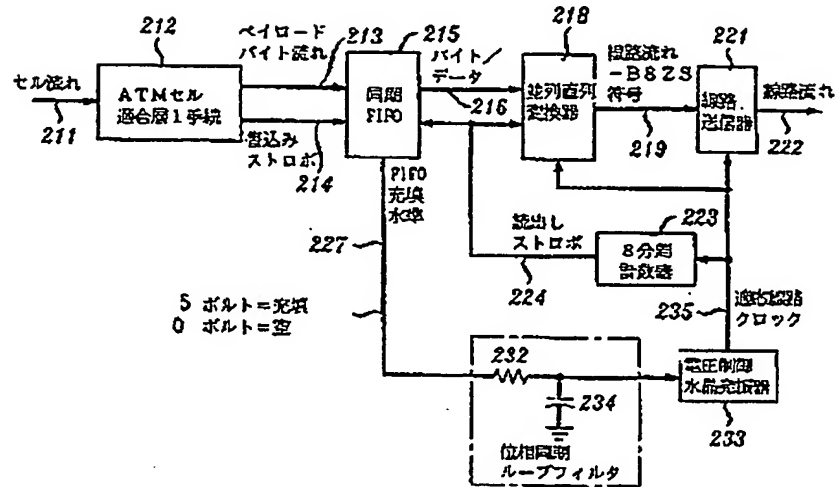
(24)

特開平7-46257

【図10】

(従来技術)

「通常型」位相同期ループ装置
210



フロントページの続き

(51)Int.Cl.[°]
H04Q 3/00

識別記号

片内整理番号
9576-5K

F I

技術表示箇所

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.